

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273509

(43) 公開日 平成7年(1995)10月20日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	3/08			
	1/00	Z		
	5/02	A		
	11/00	G		
H 0 5 K	1/16	C 7726-4E		

審査請求 未請求 請求項の数 6 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平6-65351

(22) 出願日 平成6年(1994)4月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 柏原 康

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝小向工場内

(72) 発明者 吉永 浩之

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝小向工場内

(72) 発明者 安部 文一朗

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝小向工場内

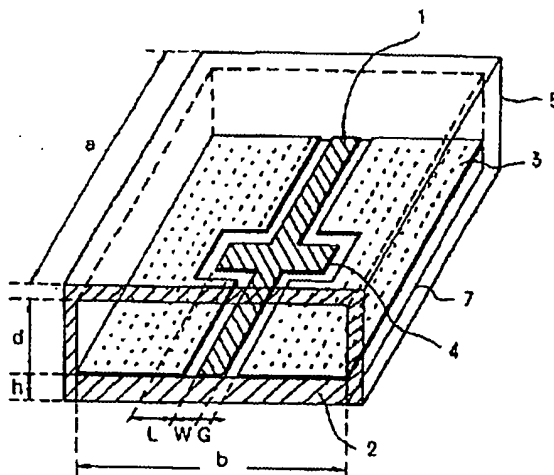
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 マイクロ波回路及び回路基板の製造方法

(57) 【要約】

【目的】 マイクロ波回路の不要共振を簡便な方法で低減させる。

【構成】 表面にマイクロストリップ線路が形成され、裏面に接地導体7が形成される誘電体基板2において、マイクロストリップ線路1から所定の距離を離れて誘電体基板2表面上に形成される抵抗膜3及び誘電体基板2を収納するパッケージ5によりマイクロ波回路に発生する不要共振が低減される。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 誘電体基板と、この誘電体基板表面上に形成されるマイクロストリップ線路と、前記誘電体基板裏面上に形成される接地導体と、前記マイクロストリップ線路に電気的に接触することなく所定の距離を隔てて前記誘電体基板表面上に形成される抵抗膜と、前記誘電体基板を収納するパッケージとを具備することを特徴とするマイクロ波回路。

【請求項2】 誘電体基板上に抵抗膜を積層して形成する工程と、この抵抗膜上にフォト・レジストを塗布する工程と、マイクロストリップ線路及びマイクロストリップ線路に接続される抵抗体及び不要共振軽減用抵抗膜の形成予定部分をフォト・マスクによりマスキングする工程と、光を照射して感光させフォト・レジストを溶かす工程と、前記フォト・レジストをマスクとして前記抵抗膜を化学腐食させ、この部分の前記抵抗膜を取り去る工程と、前記フォト・レジストを洗浄し、除去する工程と、誘電体基板表面に再び、フォト・レジストを塗布しマイクロストリップ線路の形成予定部分以外の誘電体基板表面をフォト・マスクによりマスキングする工程と、光を照射し感光させフォト・レジストを溶かす工程と、このフォト・レジストの溶け去った部分に導電体を蒸着させ、マイクロストリップ線路を形成する工程と、この誘電体基板表面からフォト・レジストを洗浄除去する工程とを含み、前記マイクロストリップ線路に接続される抵抗体、及び、前記マイクロストリップ線路に電気的に接触することなく所定の距離を隔てて形成される不要共振を軽減させる抵抗膜が同一工程内で同時に形成されることを特徴とする回路基板の製造方法。

【請求項3】 前記光は、紫外線であることを特徴とする請求項2記載の回路基板の製造方法。

【請求項4】 前記化学腐食は、エッチングであることを特徴とする請求項2記載の回路基板の製造方法。

【請求項5】 前記導電体は、金(Au)であることを特徴とする請求項2記載の回路基板の製造方法。

【請求項6】 前記蒸着は、真空装置内で金属を加熱蒸着し、誘電体基板表面上に金属薄膜を形成させる真空蒸着法であることを特徴とする請求項2記載の回路基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロ波機器等に用いられるマイクロ波回路及び回路基板の製造方法に関する。

【0002】

【従来の技術】 高周波回路において代表されるマイクロ波回路は通常アルミナ等の基板上にマイクロストリップ線路を用いた回路を形成し、これを金属のパッケージ内に接地するが、そのパッケージ内でしばしば不要共振が発生する。この不要共振は回路パターンの曲折部、不連

続部、接続部他での放射がパッケージ内で共振すること起因している。図6は従来のマイクロ波回路の解析用のモデル図で、マイクロストリップ線路1にオープンスタブ4を接続した構造である。ここで、パッケージ内空間の寸法は長さ $a=5.8\text{mm}$ 、幅 $b=8.6\text{mm}$ 、高さ $d=3.0\text{mm}$ と、とし、マイクロストリップ線路の基板厚 $h=0.25\text{mm}$ 、基板の比誘電率 $\epsilon_r=9.8$ 、ストリップ幅 $W=0.25\text{mm}$ 、スタブ長 $L=0.86\text{mm}$ とした。この回路ではオープンスタブ長 L が 30GHz で $\lambda/4$ (λ は線路波長) となっており、オープンスタブ4は短絡回路として働くために 30GHz 付近においてリターンロス値は小さくなることが予想される。このマイクロ波回路のモデルにおいて、マイクロストリップ線路の一端は無反射終端し他端から見込んだリターンロス特性を測定した結果を図7に示す。この測定結果からみると、周波数 30.2GHz においてリターンロスは急激に増大し、リターンロス特性曲線に 15dB 以上の急激な偏差が生じている。この急激な偏差はパッケージの共振によるものでオープンスタブ4の短絡作用を防げる不要な特性である。この不要共振を抑制する方法としては電波吸収体を用いる方法、動作周波数帯が遮断周波数以下となるような内部空間寸法を持つパッケージを用いる方法、あるいは共振自体が起こらない構造、寸法、配置の最適化を図るという方法等が挙げられる。この内、最も簡便でかつ効果の上がる方法として電波吸収体が従来良く用いられていた。この電波吸収体は高周波損の大きい樹脂等で出来ているものであり、その使用にあたっては電波吸収体をパッケージの内壁や天板の内側等のなるべく回路に損失を与えない所に塗りつけたり、貼りつけたりして用いる。これによりマイクロストリップ線路より発生する不要放射を吸収し、回路特性の不要共振を抑制する。

【0003】 この電波吸収体を用いる方法は簡便である反面、次のような問題を有している。(1) パッケージ1つ1つに電波吸収体を塗りつけたり、貼りつけたりしなければならず大変手間がかかる。

【0004】 (2) 電波吸収体を用いるためにその分の材料費並びに製造工程の増加によってコストが増加する。

(3) また一般に、マイクロ波回路の寸法は回路の整合をとる関係上周波数が高くなるほどに小さくなるため、マイクロ波回路に影響のないようにパッケージ内に電波吸収体を塗りつけたり、貼りつけたりするという作業が非常に細かな作業になるため必ずしも簡便な方法ではなくなる。

(4) 使用周波数帯において電波吸収率の良い材料を選択する必要がある等の問題があり、新たな対策が望まれていた。

【0005】

【発明が解決しようとする課題】 以上述べてきたように

マイクロ波回路のパッケージ内部の不要共振を減じるため電波吸収体を用いているが、塗布、貼付けには非常に手間がかかり、また、マイクロ波回路の小型化に伴い作業技術が困難化する等の問題点が生じていた。

【0006】本発明は、上記欠点を除去すべくなされたもので、マイクロ波回路の誘電体基板上に抵抗膜を形成することで、特別な加工技術、工程を必要とせずに、また最小限の部品点数で効率よくマイクロ波回路のパッケージ内に発生する不要共振を低減するマイクロ波回路を提供する。

【0007】

【課題を解決するための手段】本発明は、誘電体基板と、この誘電体基板表面上に形成されるマイクロストリップ線路と、前記誘電体基板裏面上に形成される接地導体と、前記マイクロストリップ線路に電気的に接触することなく所定の距離を隔てて前記誘電体基板表面上に形成される抵抗膜と、前記誘電体基板を収納するパッケージとを具備することを特徴とするマイクロ波回路を提供する。

【0008】

【作用】上記構成によれば、誘電体基板上に設けられるマイクロストリップ線路から所定の距離を隔てて抵抗膜を形成する。このパッケージ内に起こる不要共振を低減させるに有効なこの抵抗膜は、回路に設けられる抵抗体の製造過程と同一工程内で形成することができるため、作業工程の簡易化につながり、また、小型化されたマイクロ波回路の製造においても適用が可能となる。

【0009】

【実施例】以下に本発明にかかるマイクロ波回路の一実施例を図面を参照しながら詳細に説明する。図1は、マイクロ波回路の一モデルを示す斜視図である。したがって、実際には金属パッケージ5内には、抵抗や、コンデンサ等が収納され、マイクロストリップ線路の回路パターンももっと複雑なものである。

【0010】図1に示すように、金属のパッケージ5内に収納される誘電体基板2上には、マイクロストリップ線路1が設けられ、その途中にはオープンスタブ4が配されている。また、このマイクロストリップ線路1及びオープンスタブ4から所定の距離を置いてNiCr、Ta₂N₃、CrSiO₃、Ti等から成る薄膜もしくは、厚膜の抵抗（以下抵抗膜という）3が、誘電体基板2の表面を覆っている。また、この誘電体基板2の裏面には接地導体7が全面または一部において形成されている。

【0011】パッケージ5は、マイクロ波回路から発生する不要共振を低減させる効果を有しており、マイクロ波回路を完全に覆ってしまうものや、本実施例のような一方が開いているもの等様々な形状のものがある。

【0012】また、誘電体基板2は、この実施例ではアルミナ製のセラミック基板であるとするが、その他にもテフロン基板やサファイア、石英製のセラミック基板を

用いることも可能である。

【0013】ところで、図1に示すマイクロ波回路の各構成寸法は、従来例との特性比較のため同寸法としてある。すなわち、パッケージ内の空間寸法の長さa=5.8mm、幅b=8.6mm、高さd=3.0mmとし、マイクロストリップ線路の基板厚H=0.25mm、基板の誘電率 $\epsilon_r=9.8$ 、ストリップ幅W=0.25mm、スタブ長L=0.86mmとしている。なお、NiCr抵抗膜3のシート抵抗は、 $R=50\Omega/\square$ 、抵抗膜3とマイクロストリップ線路1の間隔はG=1.5mmとしている。そこで、図2に本願発明のマイクロ波回路の構造から解析したリターンロス特性を示す。縦軸はリターンロス(dB)を示し、横軸は周波数(GHz)を示すものである。その手段は、従来技術として示した図6、図7の解析方法と同様に行い、すなわち、マイクロストリップ線路1の一端を無反射終端させ、他端から見込んだリターンロス特性を計測する。

【0014】図2のグラフに示される解析結果をみると30GHz付近において、従来のマイクロ波回路のリターンロス特性のグラフ図5にみられるような不要共振はなく、急激なリターンロス特性の落ち込みは存在していない。

【0015】つまり、マイクロ波回路に抵抗膜3を設けたことで抵抗膜3が金属パッケージ5内の共振Qを低下させる作用をもつためであり、不要な共振を除去する効果を有していることを表している。

【0016】次に、図1に示す抵抗膜3を有する誘電体基板2のフォトリソ法による製造方法の一例を図3、図4を参照して簡単に説明する。図3、図4に誘電体基板2を上から見た平面図及びA-A'における切断面を示す。

【0017】増幅器等では、普通その回路パターンにバイアス回路などを有するため抵抗を設けている。よって、ここでは本発明にかかる抵抗膜とともにマイクロストリップ線路に、最も一般的に設けられる抵抗体を有する回路基板の形成過程を示すことにする。

【0018】まず、誘電体基板2表面に抵抗材料として例えばNiCr抵抗膜3を薄膜形成させる（図3(a)）。次にこのNiCr抵抗膜3上に感光性樹脂であるフォトリソレジスト10を塗布しフォトリソマスクによりマスキングをし、これに紫外線を照射し感光する。感光させた部分のフォトリソレジスト10は変形し溶け去る（図3(b)）。

【0019】このフォトリソレジスト10が溶け去った部分は、不要部分であるので化学腐食（エッチング）し、NiCr抵抗膜3を取り去る。フォトリソレジスト10を洗浄除去する（図3(c)）。

【0020】次に、再びフォトリソレジスト10を誘電体基板2表面に塗布し、フォトリソマスクにより必要部をマスキングし、紫外線を照射感光する。このとき不要部分の

フォトレジスト10は変形し、溶け去り、マイクロストリップ線路1の形状が形成される(図4(a))。

【0021】この誘電体基板2に例えばAu(金)11を真空蒸着させ、マイクロストリップ線路1を形成する(図4(b))。この誘電体基板2からフォトレジスト10を除去することで、回路に抵抗体12を有するマイクロ波回路基板が実現される(図4(c))。

【0022】上記したような抵抗体12を有する回路基板9の形成過程に示したように図1における不要共振を軽減させる作用を持つ抵抗膜3すなわち不要波軽減用抵抗膜3は、一般的な回路基板の製造過程上で同時に形成されるものであり、不要波軽減用抵抗膜3を回路基板上に形成するために特別な工程及び技術を必要とすることはない。

【0023】したがって、不要共振の低減において、本発明では不要波軽減用抵抗膜3を誘電体基板2の表面上に他の回路部品と同時に製造するため、従来のような電波吸収体の貼り付け、塗布といったわずらわしい作業を必要とせず、工程数も大幅に簡略化、削減される。さらに、将来においてマイクロ波回路がますます高周波数化されるに伴い、機器は小型化に向うものであるが、その際においても本発明は非常に有効なものであると思われる。

【0024】なお、本発明は図5に示すようなマイクロストリップ線路1の両側に接地導体7を配したコプレーナ線路においても有用なものであり、その場合においても上述してきた実施例と同様に接地導体7より一定の距離において不要波軽減用抵抗膜3を設けることで不要共振を低減することができる。

【0025】また、上述してきた実施例では誘電体基板2表面のほぼ全面にわたり、不要波軽減用抵抗膜3を形成したが誘電体基板2表面の一部にのみ不要波軽減用抵抗膜3を形成しても同様に不要共振を低減させる効果を有している。この場合基板上における電磁界の強部に不要波軽減用抵抗膜3を設けた方が不要共振の低減効率は高い。

【0026】また、図3、図4に示す前記した回路基板の形成過程の一例において、薄膜の生成技術として真空蒸着法を用いたが、その他スパッタリング法等を用いてもよい。

【0027】また、不要共振を低減させるべき誘電体基板上に抵抗体を設けるが、これに加えて金属パッケージ内壁に電波吸収体を設けることでさらに良好な不要共振低減効果を有することが可能である。

【0028】さらに、これまで不平衡モード伝送線路について述べてきたが、平衡モード伝送線路においても同様の効果を持つマイクロ波回路を実現することができる。またマイクロ波帯の機器に限らずその他の高周波帯を使用する機器の不要共振を低減するにも適用が可能である。

【0029】

【発明の効果】以上述べたように、従来、電波の不要共振を防止するために電波吸収体の塗布、貼付けといった作業工程及び作業技術が必要とされていたが、本発明によれば、回路に設けられる抵抗体の形成と同一工程内で不要共振の低減に有効な抵抗膜を設けることが可能となる。したがって、作業工程数の簡略化につながるとともに、その作業も容易化され、ますます小型化されるマイクロ波回路の製造において非常に有効な手段となる。

【図面の簡単な説明】

【図1】 本発明にかかるマイクロ波回路の一実施例を示す図。

【図2】 図1のマイクロ波回路の構造におけるリターンロス特性を示すグラフ。

【図3】 本発明にかかるマイクロ波回路における回路基板形成の工程を示す図。

【図4】 本発明にかかるマイクロ波回路における回路基板形成の工程を示す図。

【図5】 本発明にかかるマイクロ波回路の他の実施例を示す図。

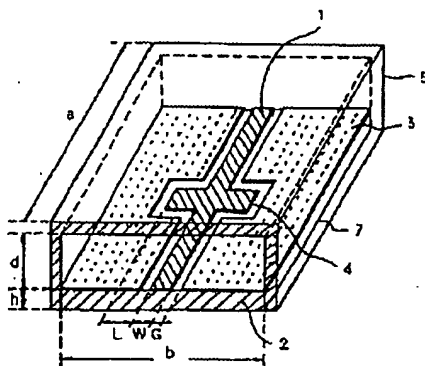
【図6】 従来のマイクロ波回路の構成を示す図。

【図7】 図6のマイクロ波回路の構造におけるリターンロス特性を示すグラフ。

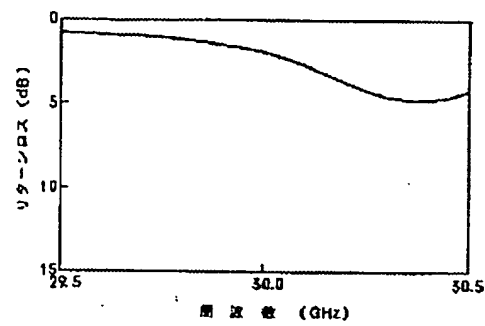
【符号の説明】

- 1…マイクロストリップ線路
- 2…誘電体基板
- 3…抵抗膜
- 4…オープンスタブ
- 5…パッケージ
- 7…接地導体

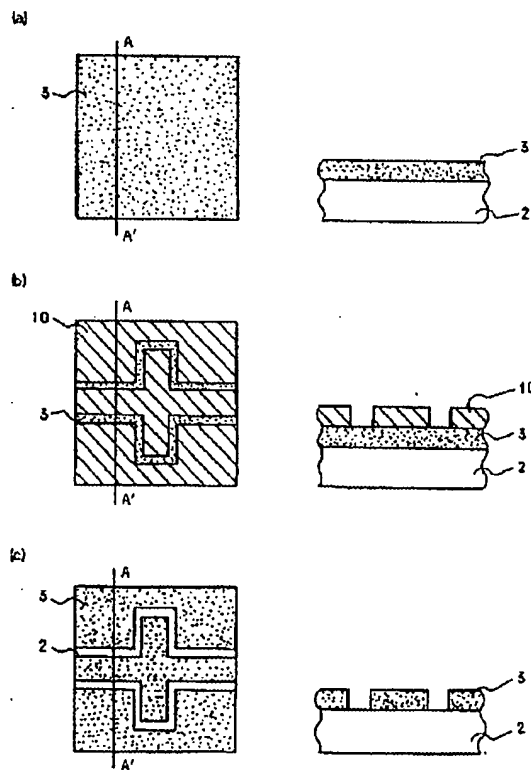
【図1】



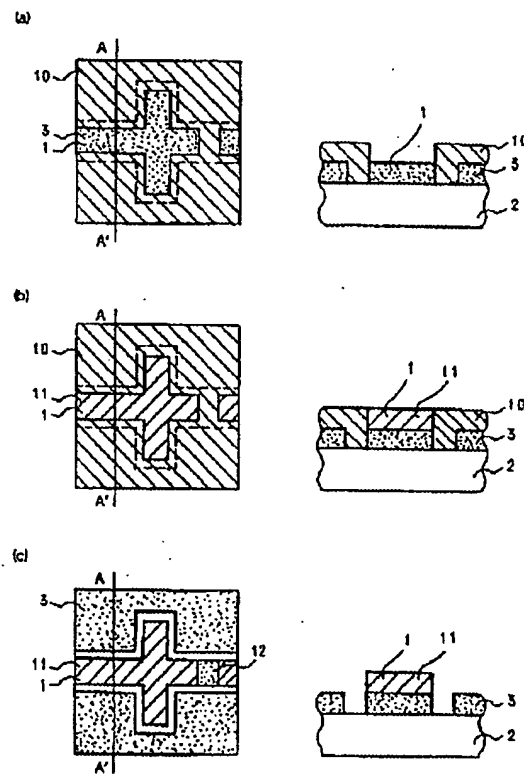
【図2】



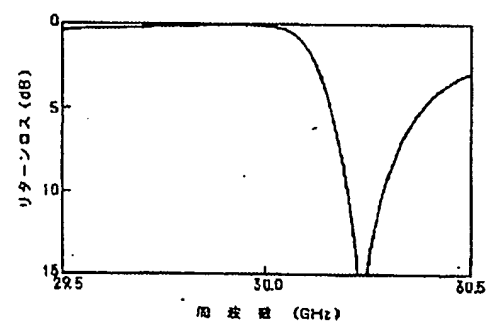
【図3】



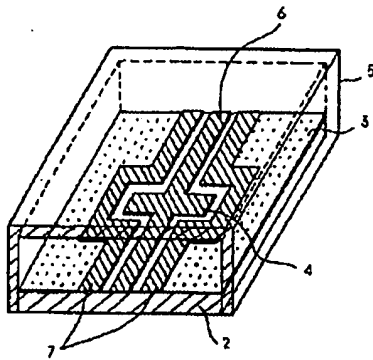
【図4】



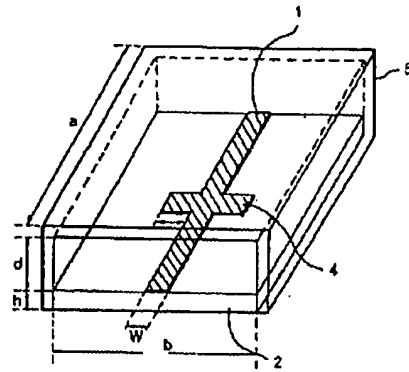
【図7】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.⁶
H05K 3/14

識別記号 庁内整理番号
A 7511-4E

FI

技術表示箇所

PAT-NO: JP407273509A

DOCUMENT-IDENTIFIER: JP 07273509 A

TITLE: MANUFACTURE OF MICROWAVE CIRCUIT AND
PRINTED CIRCUIT BOARD

PUBN-DATE: October 20, 1995

INVENTOR-INFORMATION:

NAME

KASHIWABARA, YASUSHI

YOSHINAGA, HIROYUKI

ABE, FUMIICHIROU

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP06065351

APPL-DATE: April 4, 1994

INT-CL (IPC): H01P003/08, H01P001/00 , H01P005/02 ,
H01P011/00 , H05K001/16
 , H05K003/14

ABSTRACT:

PURPOSE: To reduce unwanted resonance of the microwave circuit with a simple method.

CONSTITUTION: A dielectric board 2 is a board on the front side of which a microstrip line is formed and on the rear side of which a

ground conductor 7 is formed. Unwanted resonance generated in the microwave circuit is reduced by a package 5 containing the dielectric board 2 and a resistance film 3 formed on the front side of the dielectric board 2 apart from the microstrip line 1 by a prescribed distance.

COPYRIGHT: (C)1995,JPO

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.